

7018.tif.doc/008

| | |
|------|--------------|
| 申請日期 | 90. 2. 12 |
| 案號 | 88 251 36 |
| 類別 | 286/62 710-H |

| | |
|----|--------|
| A4 | 477075 |
| C4 | |

四、中文發明摘要（發明之名稱：沉積包含砂錯層之間極疊層的方法）

一種沉積包含矽錯層之閘極疊層的方法。本發明提供一種於閘極介電質上形成矽錯閘極的方法與結構。一多晶矽潤濕層不但可作為氧化矽介電層的連續覆蓋也可降低矽錯層的形成時間。連續性的潤濕層將獲致均勻平坦地厚閘極結構。同時，此多晶矽潤濕層可達到夠薄以使分離錯至電極與氧化層的界面所需之熱需降至最低，以及提供晶界擴散以幫助錯擴散。而且多晶矽潤濕層、矽錯層與之一後形成的矽頂蓋層均可在大氣壓力下臨場形成。

英文發明摘要 (發明之名稱):

經濟部智慧財產局員工消費合作社印製

經濟年會籌財產局員工消費合作社印

五、發明說明()

本發明是有關一種沉積矽鍺層的方法，特別是有關於一種形成包含矽鍺層之電晶體閘極電極的方法。

積體電路設計不斷地縮小尺寸以尋求更快的操作速度與更低的電力消耗。而且電路設計的尺寸規模通常在製程上需要隨著改變。

積體電路的基本構件是薄膜電晶體 (Thin Film Transistor, TFT)。一般電晶體包含藉由薄閘極介電材料與半導體層或基底分隔的閘極。雖然一般機電晶體的縮寫為 MOS，表示金屬-氧化物-矽，長久以來在閘極材料的選擇上都是矽而不是金屬。除了別的優點，矽閘極可以抵抗高溫製程，且能用自對準摻雜步驟來完成電晶體，因此可節省額外的罩幕製程。很多電路設計還包括覆蓋於多晶矽閘極的高導性的皮帶層 (Strapping Layer)，以提昇橫跨積體電路的橫向導性 (例如在記憶體元件中之閘極疊層上部分為字元線)。舉例來說，金屬可沉積於多晶矽閘極上，且多晶矽上部分可在一熱製程中被消耗。此一熱製程會導致沉積的金屬與矽的上部分反應，而形成一金屬矽化物像是矽化鈦、矽化鎢。在上述步驟中矽的上部分將被消耗掉。

近來已經可以做到用鍺摻雜矽電極，因此可降低電晶體閘極的電功函數。所以操作電壓的下降必然會產生較少的熱能。此外矽鍺閘極與周圍材料及電流積體電路製程均保持適合。

建議形成矽鍺層的方法包括利用化學氣相沉積步驟

| | |
|--------|--|
| 承辦人代碼： | |
| 大類： | |
| IPC分類： | |

(由本局填寫)

本案已向：
國(地區) 申請專利，申請日期：
美國 1999/12/11 案號：
09/460,190 ☒有 ☐無主張優先權

有關微生物已寄存於：
寄存日期：
寄存號碼：

五、發明說明(2)

(Chemical Vapor Deposition, CVD) 臨場摻雜一矽層，化學氣相沉積步驟中是以鍺烷(Germane, GeH_4)與矽烷(Silane, SiH_4)一起作為原料。當利用上述臨場摻雜 CVD 製程而製造之矽鍺層，因為添加進矽烷流體的鍺烷能明顯降低覆蓋於介電材料所需之形成時間，所以具有較低的產量與較高的製造成本。而半導體業者對於製造成本非常敏感。因此在製程中的任何階段可使晶片產量增加的話，就能降低製造成本與獲得較高的利潤。

另外，半導體製造業所關注的還有維持低剖面與各層間之平坦性。因為較差的階梯覆蓋性與高剖面特性特別在 front-end 步驟期間會導致擴大晶片製造層的高度。而地形上的異常，將提昇發生於微影的步進(Stepper)步驟的問題，也就是在關鍵的罩幕步驟中可能會發生對準錯誤。

上述問題的解決方法之一是仔細控制沉積步驟，以獲得均勻的厚度與沉積薄膜的成分。因此 CVD，特別是低於 1 Torr 的低壓化學氣相沉積法(Low Pressure CVD, LPCVD)，盡可能用來作沉積的方法。而且 LPCVD 較高壓製程能更有效地沉積反應氣體，所以可降低操作成本。但是如以 LPCVD 形成較佳均勻度與一致性的薄膜，會使沉積速率變低，因此產量也較低。

所以需要降低沉積矽鍺層的成本。

為了滿足上述需求，本發明提供一種以快速形成與高沉積速率來沉積包含矽鍺層之閘極疊層的方法。形成的閘極疊層同時具有很低的表面粗糙度。

五、發明說明(3)

依照本發明的目的提供一種於半導體基底上形成一電晶體閘極的方法。此方法包括直接於一厚度約 15 埃至 100 埃的閘極介電層上沉積一多晶矽層。然後於此多晶矽層上沉積一矽鍺層。

依照本發明的另一目的，提供一種於一含矽介電層上沉積一矽鍺層的步驟。於多晶矽層上直接利用化學氣相沉積法形成一矽鍺層。矽鍺層內的鍺會擴散至介電質的表面。此製程是在大於 500Torr 的壓力下沉積多晶矽層與矽鍺層。

依照本發明的另一目的，提供一種形成一表面粗糙度低於 50 埃均方根(root mean square, rms)的電晶體閘極疊層的方法。此方法包括形成氧化矽閘極介電層，沉積一矽潤濕層與沉積一摻雜鍺矽層。潤濕層的厚度約在 15 埃至 50 埃之間。鍺矽層在約大於 700Torr 下直接臨場摻雜於矽層上。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖是依照本發明一較佳實施例一種形成閘極疊層的製造流程圖；

第 2 圖是依照本發明一較佳實施例一半導體基底的上表面剖面圖；

第 3 圖是繪示在第 2 圖基底表面形成一閘極介電層之

五、發明說明(4)

後的剖面圖：

第 4 圖是繪示在第 3 圖之閘極介電層上直接沉積一層多晶矽潤濕層的剖面圖；

第 5 圖是繪示在第 4 圖之多晶矽潤濕層上直接沉積一層矽鍍層的剖面圖；

第 6 圖是繪示在第 5 圖之矽鍍層上繼續沉積一層矽層的剖面圖；

第 7 圖是繪示在第 6 圖之矽頂蓋層上沉積一層金屬層的剖面圖；

第 8 圖是繪示經過一回火步驟金屬層隨閘極的上方矽部分矽化，且在閘極與介電層界面分離的剖面圖；

第 9 圖是依照本發明一較佳實施例所得之沉積於氧化矽層上的連續性矽鍍層的歐傑曲線圖 (Auger Profile)；

第 10 圖是沉積於覆蓋氧化矽層之非晶矽晶種層上的不連續矽鍍層的 Auger Profile；

第 11 圖是沉積於非晶矽晶種層上的不連續矽鍍層的掃描式電子顯微圖 (Scanning Electron Micrograph)；以及

第 12 圖是依照本發明一較佳實施例所得之沉積於在氧化矽基底頂部的多晶矽潤濕層上之連續矽鍍層的穿透式電子顯微鏡圖 (Transmission Electron Micrograph)。

標記之簡單說明：

100：半導體基底

110：閘極介電層

115：潤濕層、晶種層

五、發明說明(5)

120：矽鍍層

125：頂蓋層

130、150：金屬層

155：金屬矽化層

實施例

熟悉此技藝者將輕易體會揭露於本發明的方法，並應用於多種欲沉積矽鍍的情況。此外，本發明所揭露的方法也可應用於其他沉積晶種層的步驟，然而本發明特別適用於形成電晶體閘極疊層。

請參照第 1 圖，第 1 圖是依照本發明一較佳實施例一種形成閘極疊層的製造流程圖。為更詳細說明請參照後面的第 2 圖至第 8 圖，可依據積體電路設計上之電晶體閘極疊層做各種省略與修改。

首先，進行步驟 10，於半導體基底上形成一層閘極介電質。閘極介電質的材質包括氮化矽或氧化矽。於此實施例中閘極介電質包括高品質氧化矽層。一般來說，閘極介電質是由其下之矽基底表面經由熱而成長的。熟悉此技藝者將易於察知適於形成閘極介電質的製程與參數。此外還有很多其他的材質可代替氧化矽作為閘極介電質，包括高電容率 (Permittivity) 的材質。

然後，進行步驟 12，徹底清潔閘極介電質的表面，以確定完成之後的電晶體的品質。較佳的方法是利用濕式清潔步驟，此步驟包括接觸或暴露介電質的表面至含稀氫氧化銨與過氧化氫的水中，以清除閘極介電質的氧化物表面

五、發明說明(6)

之微粒殘留物。於實施例中是以稀 SC1 作為清潔液，其中包括濃度比例為 1:2:100 之 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 在溫度 35℃ 10 分鐘，隨後以去離子水沖洗與旋乾約 6 分鐘。熟悉此技藝者將可輕易提供不會對介電質表面造成傷害的清潔步驟。雖然濕式清潔工具可能裝在一組機台上，但是一般來說清潔步驟是在沉積室外處理，因此在清潔與沉積間暴露於污染物下的機會將降至最低。

清潔步驟之後，進行步驟 14，將工作部件放置於化學氣相沉積室，以沉積一多晶矽潤濕層。在提到更多細節之前，使用多晶矽作為此層的材質，將提供形成一可節省熱預算 (Thermal Budget) 之薄潤濕層且產生一平滑均勻的厚閘極疊層。

隨著多晶矽的沉積之後，進行步驟 16，一矽鍍合金沉積於多晶矽潤濕層上，較佳的矽鍍合金材質包括 $\text{Si}_{1-x}\text{Ge}_x$ 。簡單來說矽鍍層通常是以 SiGe 來表示。SiGe 最好是緊接著沉積多晶矽於同一室 (chamber) 中沉積。因此舉例來說，當鍍氣體源，例如鍍烷 (GeH_4)，加入化學氣相沉積中的流體時，用來沉積多晶矽的矽氣體源可直接減少。多晶矽與矽鍍沉積最好都在大氣壓力或接近大氣壓力下處理。

隨著矽鍍層的沉積之後，進行步驟 18，沉積一頂蓋層。頂蓋層包括矽，較佳者為非晶矽。頂蓋層可使矽鍍層中鍍的氧化降至最小。換句話說，頂蓋層也可在很多閘極疊層設計中作為之後矽化步驟的犧牲層。在實施例中頂蓋層的

五、發明說明(7)

厚度約在 1000 埃至 1500 埃之間。

隨著非晶矽頂蓋層的沉積之後，進行步驟 20，於頂蓋層上形成一金屬層。然後進行步驟 22，對金屬層進行回火步驟以進行一標準矽化反應，可使上層的金屬與其下之矽產生反應。未繪示的是，也可以於閘極疊層之傳導層上沉積一介電質頂蓋層。

當閘極疊層完成後，進行步驟 24，利用傳統的微影製程與蝕刻形成閘極電極圖案。在其他製造程序安排上可以在沉積金屬層之前先圖案化閘極電極，再於自對準矽化製程中使用金屬。

當閘極疊層完成後，更包括進行步驟 26，完成積體電路。舉例來說，閘極疊層一般是利用沉積覆蓋一介電質與間隙壁蝕刻來作絕緣。然後對電晶體主動區進行摻雜步驟以形成源/汲極於圖案化電極的一邊，且進行連接或結束 (back end) 以完成此電路。

請參照第 2 圖至第 8 圖，第 2~8 圖是依照第 1 圖的製造流程剖面圖。

首先請參照第 2 圖，提供一半導體基底 100 於一工作部件上。雖然熟悉此技藝者可用其他半導體材料 (例如 III-V 族材料) 取代，但是一般半導體基底 100 是包括磊晶矽層或單晶摻雜矽晶片的上表面。

接著請參照第 3 圖，於基底 100 上形成一層薄且均勻的介電層 110，介電層 110 的材質例如氧化矽或氮化矽。於實施例中介電層包括由半導體基底 100 形成的高品質熱

五、發明說明 (8)

氧化層。按照現今電路設計，閘極介電層 110 的厚度例如小於 70 埃，較佳者為小於 50 埃，且於此實施例中為 30 埃。此外，閘極介電層 110 可利用其他方法形成。用於下一代元件之介電層 110 材質包括 Ta_2O_5 、BST、SBT、BT 與其他高介電常數的材質。此處描述的介電層需適於沉積矽鍍層於其上。

形成介電層 110 之後，工作部件通常從用來進行快速熱氧化法 (Rapid Thermal Oxidation, RTO) 或其他形成閘極介電層 110 的爐中移除，並在置入 CVD 室前清潔其表面。

請參照第 4 圖，於清潔過後的閘極介電層 110 表面直接沉積一層薄潤濕層或晶種層 115。沉積步驟是於一 CVD 室中進行，且於本實施例中，潤濕層 115 是形成於一 ASM America of Phoenix, AZ 名為 Epsilon™ 的單晶圓加工室。也可以利用其他適合的沉積室。Epsilon™ 反應器的水平流與較佳之熱控制系統可在大氣壓下快速沉積均勻的潤濕層 115。

潤濕層 115 不但具有防止其上材料沉積過快的特徵，而且與上層的電性與化性相合。大體上潤濕層 115 會被隨後步驟消耗掉，所以在最後完成的結構中此層不存在。

潤濕層 115 包括多晶質矽層 (Polycrystalline Silicon Layer) 或多晶矽 (Polysilicon)。多晶矽與沉積其上的矽鍍層相合，並提供臨場摻雜矽層快速形成，且易於被矽鍍層消耗。特別是多晶矽之多晶狀態不但在提供完全覆蓋

五、發明說明 (9)

介電層 110 時形成一薄層，而且提供順著多晶矽晶界的擴散路徑。因此潤濕層 115 易於被鍍至介電層介面的離析消耗。

因此，在大氣壓力下的沉積溫度約大於 550°C 時形成的化學氣相沉積矽至少有部分材質為多晶質 (Polycrystalline)。在沉積溫度大於 650°C 下，通常沉積室內的矽為多晶質。然而較佳沉積溫度約 600°C 至 700°C，更佳者為 600°C 至 650°C。於此情況下潤濕層 115 明顯展示出多晶質特性的低表面粗糙度。熟悉此技藝者當然可依照不同反應器來改變沉積條件，以使表面粗糙度與多晶質成分達到一適當的平衡。舉例來說與上述 Epsilon™ 反應器比較，溫度可低 50°C 到 70°C 即可於一爐系統中達成相同的成分。

沉積所需之壓力應大於 500 Torr，更佳者大於 700 Torr，而最佳者約一大氣壓力 (760 Torr)。由於氣流造成少量的壓力差是可忽略的影響，故接近大氣壓力的沉積情形可以降低或排除製程中昂貴的抽氣製程，需要較少部件，且提昇沉積速率。

利用 CVD 反應使矽氣體源與工作部件表面的還原劑反應。通常用來作為熱解矽烷基化合物的還原劑是氫 (H_2)。時，矽氣體源例如包括矽烷 (monosilane, 化學式為 SiH_4)、乙矽烷 (disilane)、二氯矽烷 (dichlorosilane) 或三氯矽烷 (trichlorosilane)。當氫的流量在 10 slm 到 50 slm 之間時，氫流量例如約 20 slm，較佳的矽烷流量約 10 sccm 到

五、發明說明 (6)

100 sccm 之間，更佳的矽烷流量約 20 sccm 到 50 sccm 之間。

潤濕層 115 最好夠薄以使其後形成的矽鍺層能夠擴散過去。潤濕層 115 能薄到容許不用不同的回火步驟擴散。此外，太厚的潤濕層會稀釋最後結構之鍺含量。因此多晶矽潤濕層 115 應少於 200 埃，更佳者為少於 100 埃，最佳者約少於 50 埃。換句話說，多晶矽層 115 也應厚到足以全面覆蓋住閘極介電層 110。因此多晶矽層 115 應大於 15 埃，更佳者約大於 30 埃。

接著，請參照第 5 圖，於多晶矽潤濕層 115 上沉積一層矽鍺 (SiGe) 層 120。添加鍺到傳統多晶矽閘極電極結構會降低氯化物與介電質界面的元件函數，所以會減少操作時的電壓與產生的熱能。閘極材料最好接近矽的 mid-gap，即接近 0.55 eV。當我們要保持積體與周圍材質和現存技術的合適性與容易度時，最好利用 SiGe 並藉由改變鍺的含量而修改功函數。

矽鍺層為多晶質。因此以“Poly-SiGe”作為描述此矽鍺層 120 的專有名詞。沉積步驟是用來形成 Poly-SiGe 的較佳方法。溫度的範圍特別是影響沉積矽鍺的結晶度 (Crystallinity)。以下為更詳細的沉積條件。在另一種計劃下，矽鍺層 120 可用非晶質 SiGe 沉積，然後在一升高溫度下的回火步驟結晶。然而與非晶質層比較起來，直接形成 Poly-SiGe 之沉積步驟能形成具有高鍺結合性且於沉積層上有較佳的分布。此外 Poly-SiGe 可以高速沉積。

五、發明說明 (11)

Poly-SiGe 的沉積包括於一 CVD 步驟中流入矽氣體源，鍺氣體源與一還原劑。其中矽氣體源包括矽烷，鍺氣體源包括稀釋鍺烷 (1.5% GeH₄ in H₂) 與包括氫 (H₂) 的還原劑。其中矽烷流量隨先前多晶矽的沉積增加，較佳者約為 50 sccm 至 500 sccm，更佳者約為 100 sccm 至 400 sccm。稀釋鍺烷的流量約 50 sccm 到 5000 sccm 之間，更佳的流量約 100 sccm 到 1000 sccm 之間。氫的流量在 5slm 到 50 slm 之間較佳，更佳的氫流量約 20 slm。

沒有添加電漿或其他添加能源下，沉積溫度較佳者在 500°C 至 800°C 之間，更佳者在 550°C 至 650°C 之間，最佳者在至少約 600°C ± 15°C。Poly-SiGe 沉積速率在此範圍的較低溫度對商業上應用來說太慢。換句話說，鍺併入此層的量減少且表面粗糙度增加。

與多晶矽沉積有關，沉積 Poly-SiGe 所需之壓力應大於 500 Torr，更佳者約大於 700 Torr，且最佳者約一大氣壓力 (760 Torr)。由氣流造成少量的壓力差是可忽略的影響。熟悉此技藝者應知於大氣壓力下進行沉積會降低沉積 Poly-SiGe 的效率。然而本發明於大氣壓力下進行沉積則具有較大的操作上利益，包括節省或省略製程間的昂貴抽氣步驟與壓力變動造成的微粒污染。此外因幫浦設備的省略，在大氣壓力下進行沉積可以較低成本製作，且降低壓力 (1-200 Torr) 與低壓 (小於 1 Torr) 操作以強化沉積室。

Poly-SiGe 層 120 中的鍺含量較佳範圍在 10% 至 80% 之間，更佳範圍在 20% 至 50% 之間。Poly-SiGe 層 120 的

五、發明說明 (12)

全面厚度較佳範圍在 500 埃至 1500 埃之間，更佳範圍在 500 埃至 1000 埃之間。

一較佳製程包括在大氣壓力 600°C 下，流量約 500 sccm 1.5% 的銻，100 sccm 的矽烷與 20 slm 的氫。此流體形成一銻含量約為 18% 至 20% 之間的矽銻層。以相同的氫與矽烷含量，4500 sccm 稀釋銻烷矽烷產生約 50% 的銻含量。

多晶矽潤濕層 115 的存在可以快速地形成以及加快 Poly-SiGe 的沉積時間。臨場摻雜銻矽層的沉積（沒有潤濕層的情況下）趨向與沉積步驟對抗，而蝕刻到下層的閘極介電質（特別是氧化矽或氮化矽），因此會增加形成時間。故增加形成時間與增加全面沉積時間的結果將會導致較低的晶圓產量，即代表在高度競爭的半導體製造業中可以實行與不可實行的差別。

接著請參照第 7 圖，於 Poly-SiGe 層 120 上直接沉積一層頂蓋層 125。在相同大氣壓力下於形成 Poly-SiGe 層之後不用從 CVD 室中移除工作部件，而立刻沉積頂蓋層 125。因此 Poly-SiGe 層 120 不會暴露於清潔室氣氛與避免 120 層的銻氧化。頂蓋層 125 的材質例如矽，更佳者為非晶矽。非晶矽可減緩銻擴散至頂蓋層 125 的速度。

非晶矽頂蓋層 125 的厚度較佳範圍為 100 埃至 1500 埃之間。在此範圍較低部分即可達到頂蓋層 125 的密封功能。然而頂蓋層 125 也可提供接下來矽化步驟的矽源。圖中頂蓋層 125 的厚度約 1000 埃。

在形成 Poly-SiGe 層 120 後臨場形成頂蓋層 125 時，

五、發明說明 (13)

氫與矽烷持續流入，其中矽烷約在 100 sccm 與 400 sccm 之間，更佳地隨 Poly-SiGe 沉積增加至約 200 sccm。之前討論低於 550°C 的沉積溫度會導致非晶質結構。

閘極疊層可藉由一些傳統製程技術完成。然後請參照第 7 圖，將工作部件由 CVD 室中取出並藉由先沉積一層金屬層 130 以於 Poly-SiGe 層 120 上形成高導電細紫層 (Strapping Layer)。金屬層 130 的厚度是依據電路設計與其下之頂蓋層 125 完全或部分反應來選擇的。金屬層 130 的材質例如是鈦或鎢，其厚度約在 1000 埃至 2000 埃之間。依照第 1 圖所描述可知此沉積步驟可以在圖案化形成電極前或後進行。

接著請參照第 8 圖，係在傳統矽化回火製程後的閘極疊層。金屬矽化層 155 是由消耗完全或部分犧牲頂蓋層 125 (請參照第 7 圖) 而來。依照頂蓋層 125 與金屬層 150 的相關厚度，可於矽化層 155 上也有一殘留金屬層與金屬氮化層 (未繪示)。更高的回火溫度可做到重新定位矽化物晶體以得到更高導性的狀態。

在較高溫製程的過程中，例如是上述的矽化回火步驟，在沉積的 Poly-SiGe 層 120 (請見第 7 圖) 中的銻會向下擴散至薄多晶矽潤濕層 115 (請見第 7 圖)。沉積潤濕層 115 的厚度特別容易發生此一擴散，而且藉此層的多晶質特性，甚至不用個別的回火步驟即可完成。沿著晶界散佈至多晶矽層 115 各處的擴散是快速的，因此導致在閘極電極與介電質界面有所欲的銻濃度，其中大部分用來改變與控

五、發明說明 (14)

制功函數。因為高溫回火步驟以分離界面的鍺，所以薄多晶矽潤濕層 115 能防止任何分裂與時間消耗。

由上述可知，鍺離析至潤濕層 115，消耗潤濕層 115 與留下 Poly-SiGe 電極 150 等步驟均可藉由在積體電路製造中任何熱製程步驟期間自然進行。所以在矽化期間，鍺會於頂蓋層 125 或金屬層 130 擴散至電極與氧化物的界面。另外依照潤濕層的厚度與在伴隨發生的製程期間更高溫的步驟的存在或缺乏，可使實施不同的回火步驟。

使用多晶矽潤濕層與 Poly-SiGe 層結合確保一跨越介電質表面的連續平坦層。濕潤層 115 的平坦性可使沉積其上的各層具有同樣的平坦性，所以閘極疊層（包括潤濕層、Poly-SiGe 層與多晶矽頂蓋層）也會是平坦的。最後完成得閘極疊層較佳地表面粗糙度應小於 100 埃均方根（root mean square, rms），更佳者為 50 埃 rms，最佳者為 20 埃 rms。閘極疊層的平坦度是之後步驟達到均勻性很重要，特別是縮小尺寸與下一世代的電路設計。

第 9 圖與第 10 圖是描述當潤濕層 115 包括多晶矽時，潤濕層 115 與其上之 Poly-SiGe 層 120 的連續性。第 9 圖是依前述方法製作潤濕層與 Poly-SiGe 層在回火前的歐傑曲線圖（Auger Profile）。這些層的原子組成是以電子轟擊工作物件的方式分析，而圖表左邊代表 Poly-SiGe/多晶矽雙層的最上表面，而圖表右邊代表雙層的深處。在深度為 1400 埃可觀察出於多晶矽層與其下之氧化矽層間有一尖銳界面，其中當氧含量尖削地上升時，矽含量會猛然下降。

五、發明說明 (15)

第 10 圖是於非晶矽潤濕層上形成的 Poly-SiGe 層的歐傑曲線圖。非晶矽通常是與平滑層相聯，且可在較多晶矽低溫下沉積。然而與第 9 圖比較，第 10 圖經由電子轟擊步驟顯示氧含量。在此表示一不連續的潤濕層由此向下擴散至沉積的 Poly-SiGe 層。非晶矽表面的移動性導致沉積期間於氧化矽表面形成團塊（module）或島狀物（island）。當在暴露的氧化矽上蝕刻反應與沉積相抗衡時，Poly-SiGe 層伴隨發生的沉積會優先於這些團塊上形成。鍺原子也具有表面移動性而在矽團塊上聚成。因此 Poly-SiGe 層也是顛簸與不連續的，且粗糙度會傳至較高層。結果粗糙的閘極疊層將在之後製程期間使積體更複雜。

第 11 圖是表示在氧化矽基底上一非晶矽潤濕層上沉積的 Poly-SiGe 層表面的掃描是電子顯微影像。由於下層潤濕層的不連續性而導致 Poly-SiGe 表面的粗糙度或團狀外觀。

換句話說，第 12 圖是表示在氧化矽基底上直接覆蓋一層平坦光滑的 Poly-SiGe 層。當氧化矽基底比一般閘極介電層厚很多的狀況下，現在描述的氧化矽表面與較薄的閘極介電層是一樣的。

請再參照第 7-8 圖，最後的 Poly-SiGe 閘極電極層 155 的平滑度是受消耗連續性的多晶矽潤濕層 115 而影響（詳見第 4-7 圖）。多晶矽可在沒有折衷的介電層 110 完全覆蓋下沉積於一非常薄層上。一薄潤濕層 115 可使鍺擴散至與閘極介電質 110 的界面。實施例所述之多晶矽潤濕層 115

五、發明說明(6)

特別有益於那一方面，因為鍺容易於藉多晶質材料的晶界擴散。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

六、申請專利範圍

1. 一種於半導體基底上形成電晶體閘極電極的方法，包括：

於一閘極介電層上沉積厚度約在 15 埃至 100 埃之間的一多晶矽層；以及

於該多晶矽層上直接沉積一矽鍺層。

2. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，更包括在與該閘極介電層的一界面分離鍺。

3. 如申請專利範圍第 2 項所述之於半導體基底上形成電晶體閘極電極的方法，其中不需要一不同的回火步驟使該矽鍺層的鍺擴散至該多晶矽層。

4. 如申請專利範圍第 2 項所述之於半導體基底上形成電晶體閘極電極的方法，其中於該閘極介電層的該界面的一鍺含量約在 20% 至 50% 之間。

5. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該多晶矽層與該矽鍺層是在一化學氣相沉積室中臨場進行。

6. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中該多晶矽層沉積之厚度約為 20 埃至 50 埃之間。

7. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該矽鍺層包括同時流入一矽氣體源與鍺烷。

8. 如申請專利範圍第 1 項所述之於半導體基底上形成電

六、申請專利範圍

晶體閘極電極的方法，更包括於該矽鍺層上沉積一頂蓋層。

9. 如申請專利範圍第 8 項所述之於半導體基底上形成電晶體閘極電極的方法，其中該頂蓋層包括非晶矽。

10. 如申請專利範圍第 9 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該多晶矽層與該矽鍺層與該頂蓋層是在一化學氣相沉積室中臨場進行。

11. 如申請專利範圍第 9 項所述之於半導體基底上形成電晶體閘極電極的方法，更包括於該頂蓋層上沉積一金屬層以及使該金屬層與該頂蓋層反應。

12. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該多晶矽層需維持一基底溫度在 600°C 至 700°C 之間。

13. 如申請專利範圍第 12 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該多晶矽層需維持一基底溫度在 600°C 至 650°C 之間。

14. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中該閘極疊層的表面粗糙度少於 50 埃均方根。

15. 如申請專利範圍第 14 項所述之於半導體基底上形成電晶體閘極電極的方法，其中該閘極疊層的表面粗糙度少於 20 埃均方根。

16. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該矽鍺層包括在一大於 500

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

Torr 的壓力下進行一化學氣相沉積。

17. 如申請專利範圍第 16 項所述之於半導體基底上形成電晶體閘極電極的方法，其中沉積該矽鍺層包括在約一大氣壓力下進行一化學氣相沉積。

18. 如申請專利範圍第 1 項所述之於半導體基底上形成電晶體閘極電極的方法，其中該閘極介電層包括氧化矽。

19. 一種於含矽介電層上沉積一矽鍺層之方法，包括於該介電層上沉積一多晶矽潤濕層，於該多晶矽層上化學氣相沉積該矽鍺層，以及擴散鍺從該矽鍺層至該介電層之一界面，其中沉積該多晶矽與該矽鍺層均在大於 500Torr 下進行。

20. 如申請專利範圍第 19 項所述之於含矽介電層上沉積一矽鍺層之方法，其中該介電層包括氧化矽。

21. 如申請專利範圍第 19 項所述之於含矽介電層上沉積一矽鍺層之方法，其中該介電層包括氮化矽。

22. 如申請專利範圍第 19 項所述之於含矽介電層上沉積一矽鍺層之方法，其中化學氣相沉積該矽鍺層包括同時流入一矽烷基矽氣體源與鍺烷。

23. 如申請專利範圍第 19 項所述之於含矽介電層上沉積一矽鍺層之方法，其中沉積該多晶矽潤濕層包括在一單基底沉積室中維持一約在 600°C 至 700°C 之間的沉積溫度。

24. 如申請專利範圍第 23 項所述之於含矽介電層上沉積一矽鍺層之方法，其中沉積該多晶矽潤濕層包括在一單基底沉積室中維持約在一大氣壓力。

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

25. 如申請專利範圍第 19 項所述之於含矽介電層上沉積一矽鍺層之方法，其中該多晶矽層沉積之厚度約為 15 埃至 100 埃之間。

26. 如申請專利範圍第 25 項所述之於含矽介電層上沉積一矽鍺層之方法，其中該多晶矽層沉積之厚度約為 30 埃至 50 埃之間。

27. 如申請專利範圍第 26 項所述之於含矽介電層上沉積一矽鍺層之方法，其中該介電層包括覆蓋於一半導體基底的一閘極介電層。

28. 一種具有少於 50 埃均方根表面粗糙度的沉積包含矽鍺層之閘極疊層的方法，包括：

形成一氧化矽閘極介電層；

沉積厚度約在 15 埃至 50 埃之間的一矽潤濕層；以及
於該矽潤濕層上直接在約大於 700Torr 壓力下沉積一臨場摻雜鍺矽層。

29. 如申請專利範圍第 28 項所述之具有少於 50 埃均方根表面粗糙度的沉積包含矽鍺層之閘極疊層的方法，其中該矽潤濕層包括多晶質矽材質。

30. 如申請專利範圍第 29 項所述之具有少於 50 埃均方根表面粗糙度的沉積包含矽鍺層之閘極疊層的方法，其中沉積該矽層包括在一單基底化學氣相沉積室中維持一約在 600℃ 至 700℃ 之間的沉積溫度。

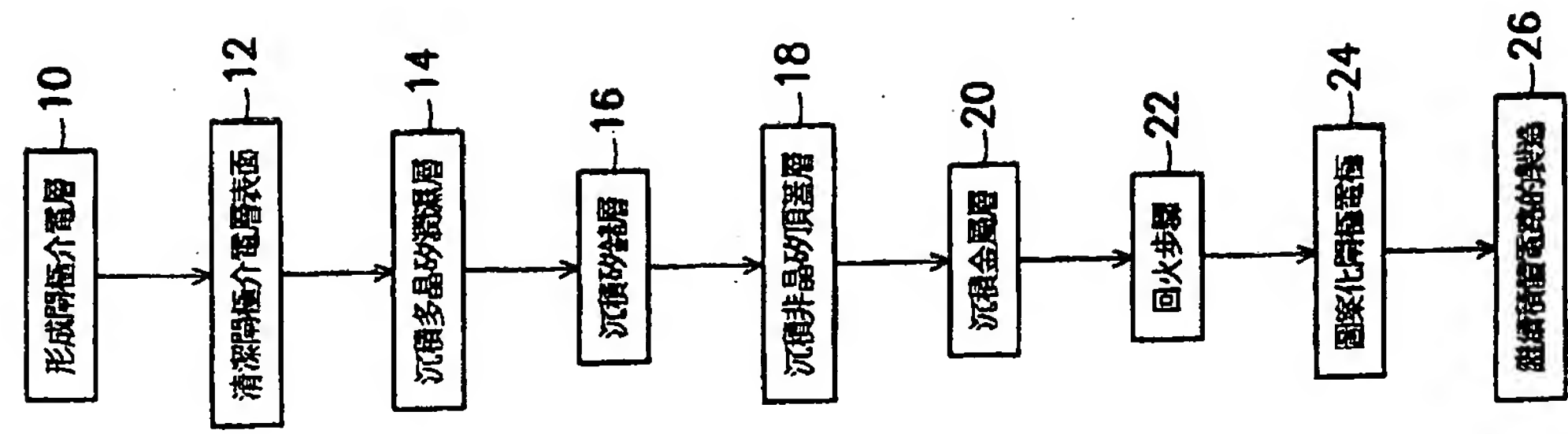
31. 如申請專利範圍第 28 項所述之具有少於 50 埃均方根表面粗糙度的沉積包含矽鍺層之閘極疊層的方法，更包括

六、申請專利範圍

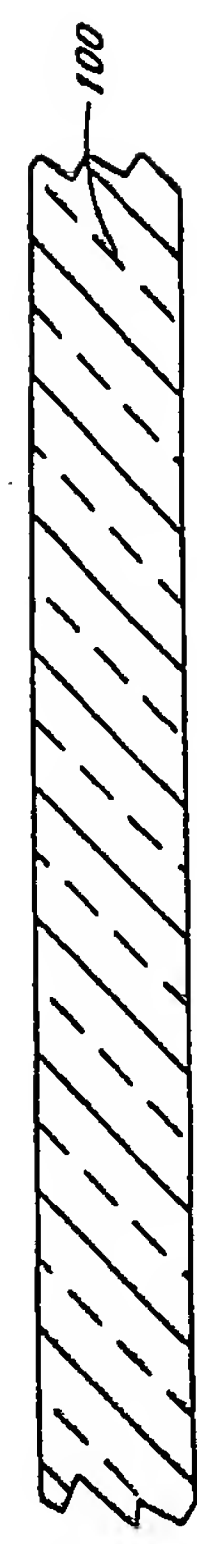
於該摻雜鍺矽層上沉積一非晶矽頂蓋層。

32. 如申請專利範圍第 31 項所述之具有少於 50 埃均方根表面粗糙度的沉積包含矽鍺層之閘極疊層的方法，其中該矽潤濕層，該摻雜鍺矽層與該非晶矽頂蓋層均在一單基底沉積室中維持約在一大氣壓力下臨場沉積。

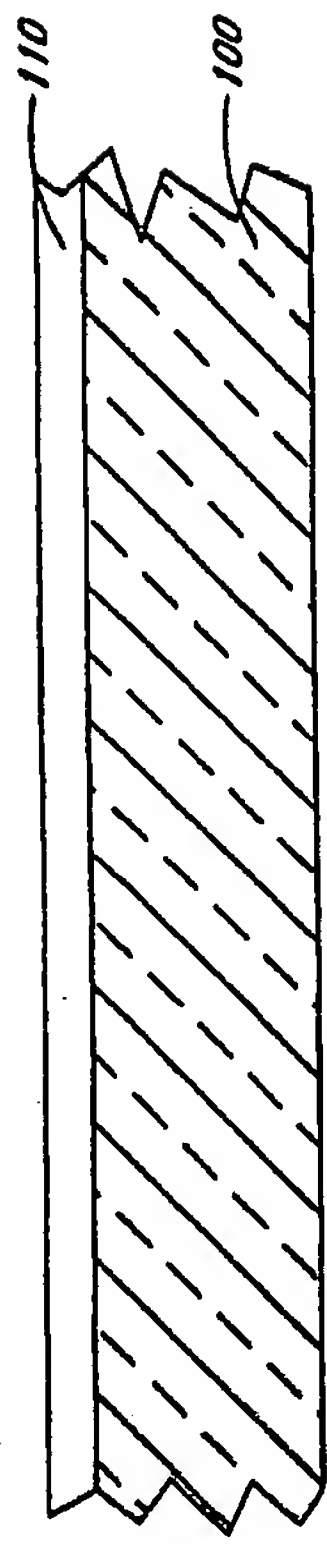
8f125P36



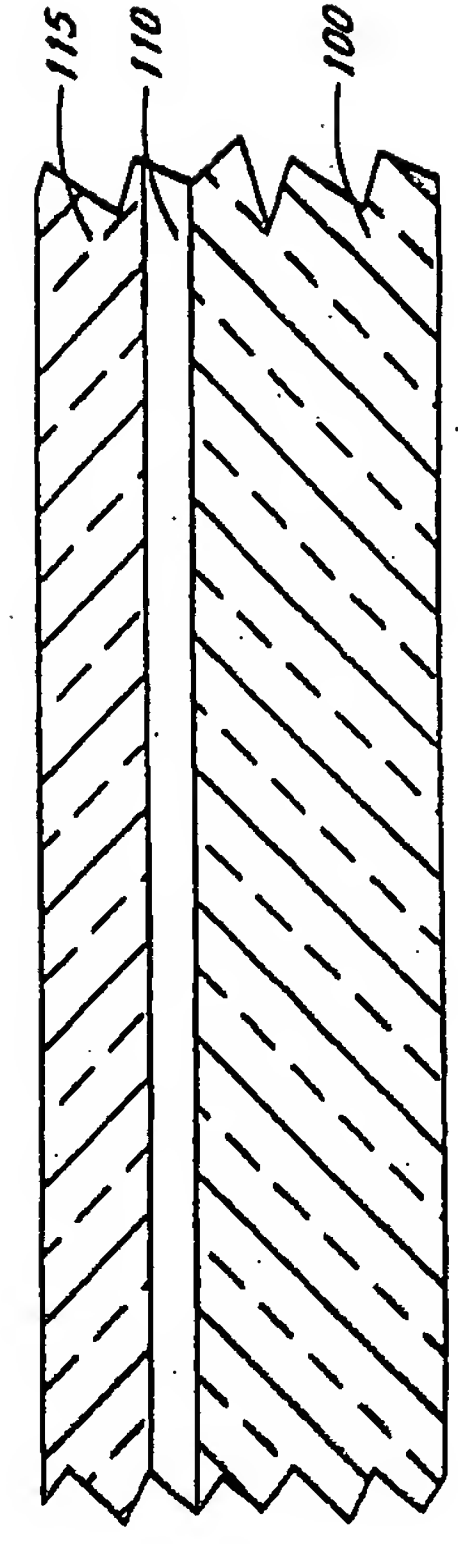
第 1 圖



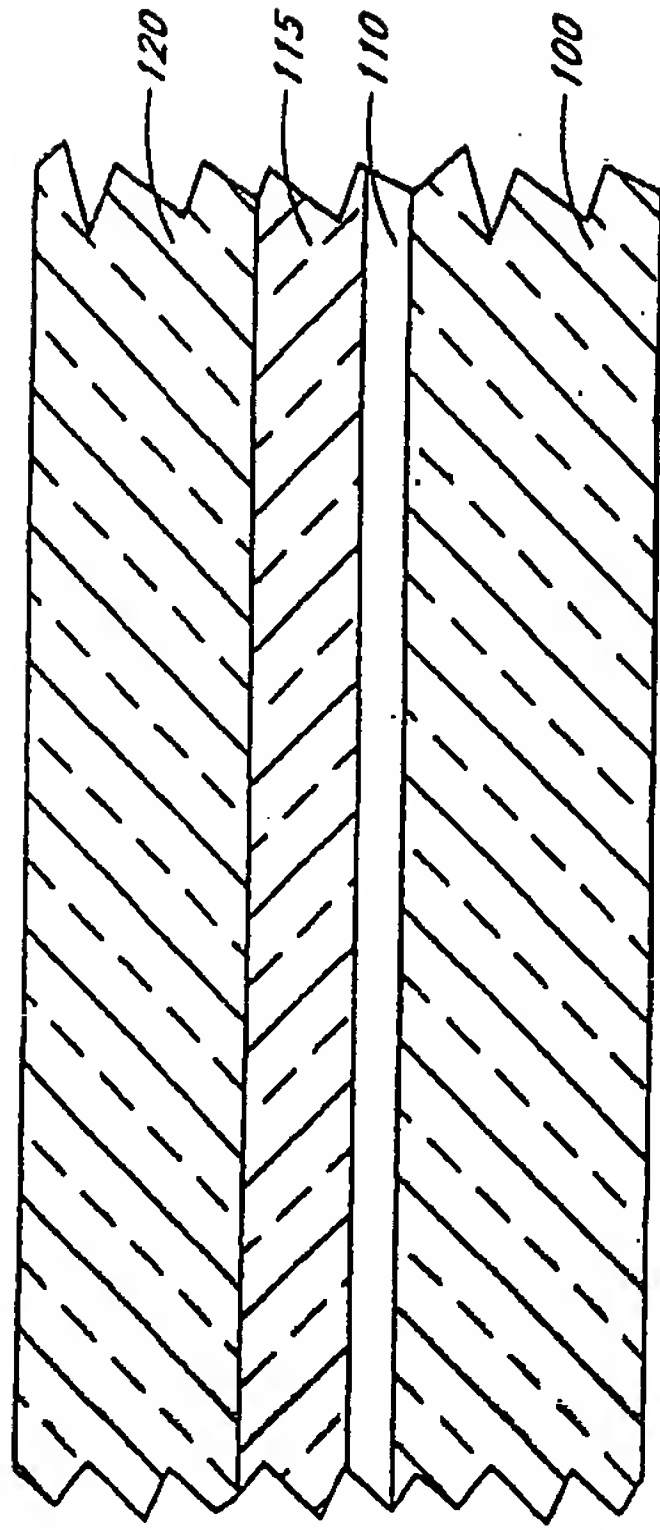
第 2 圖



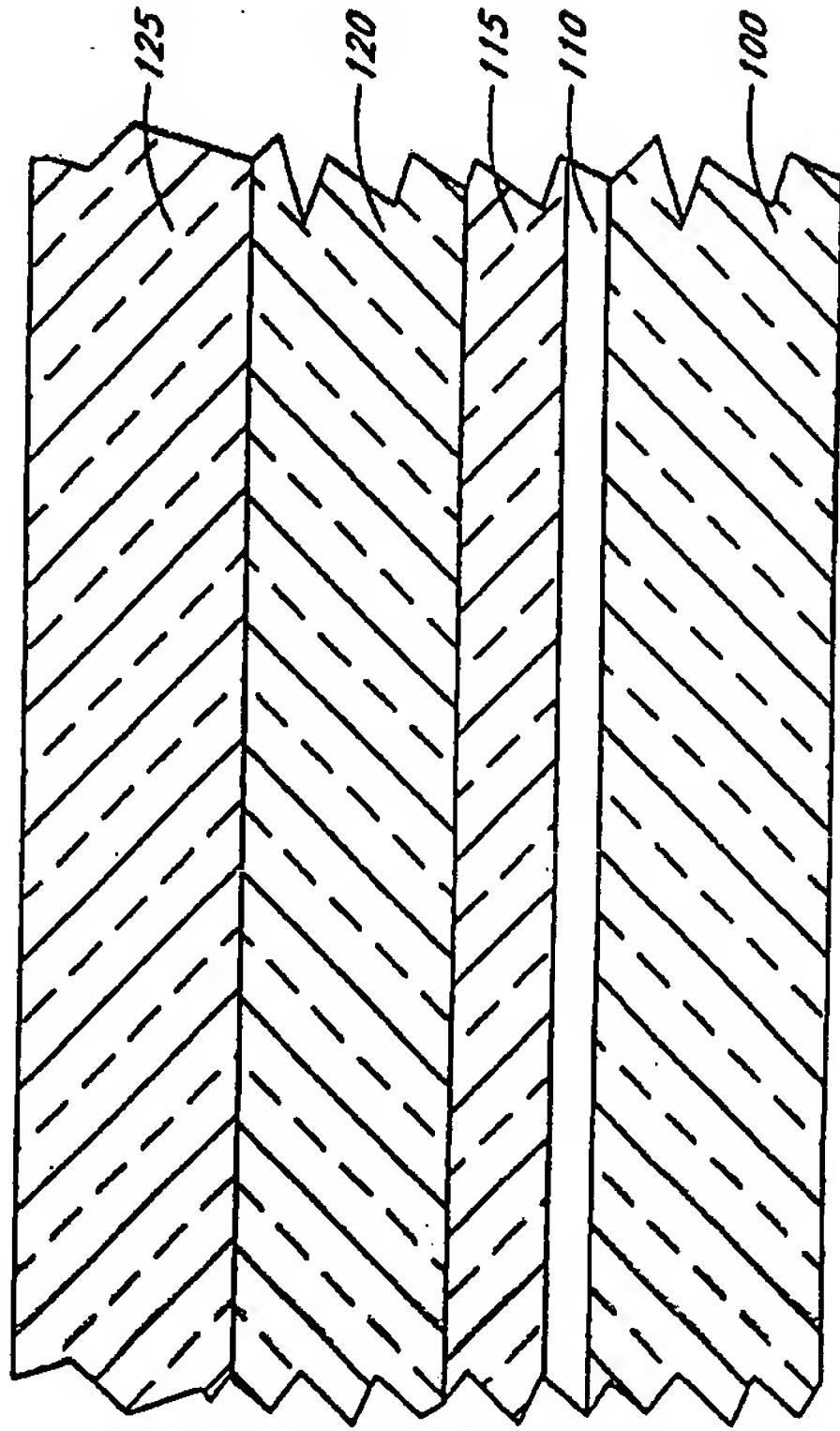
第 3 圖



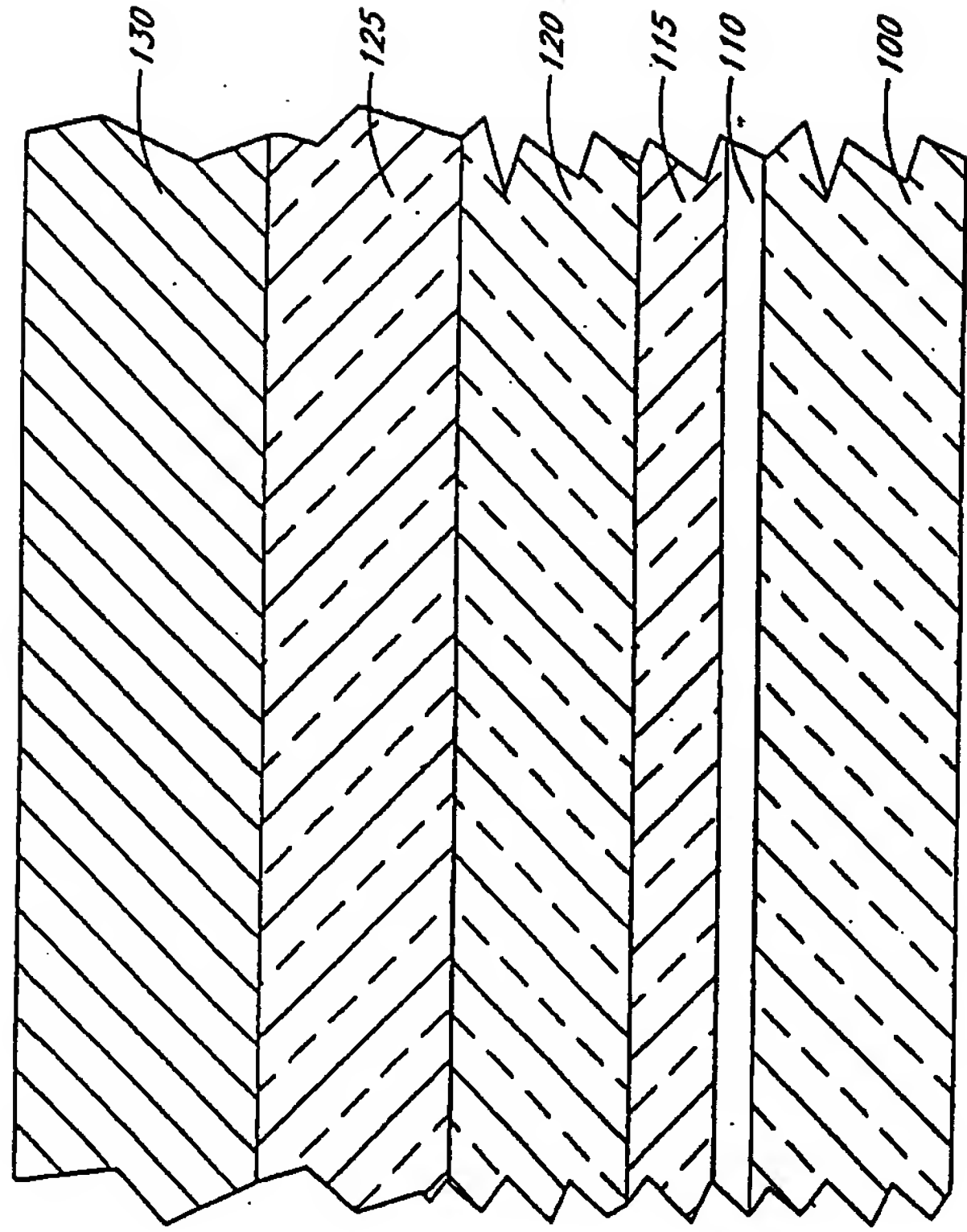
第 4 圖



第 5 圖

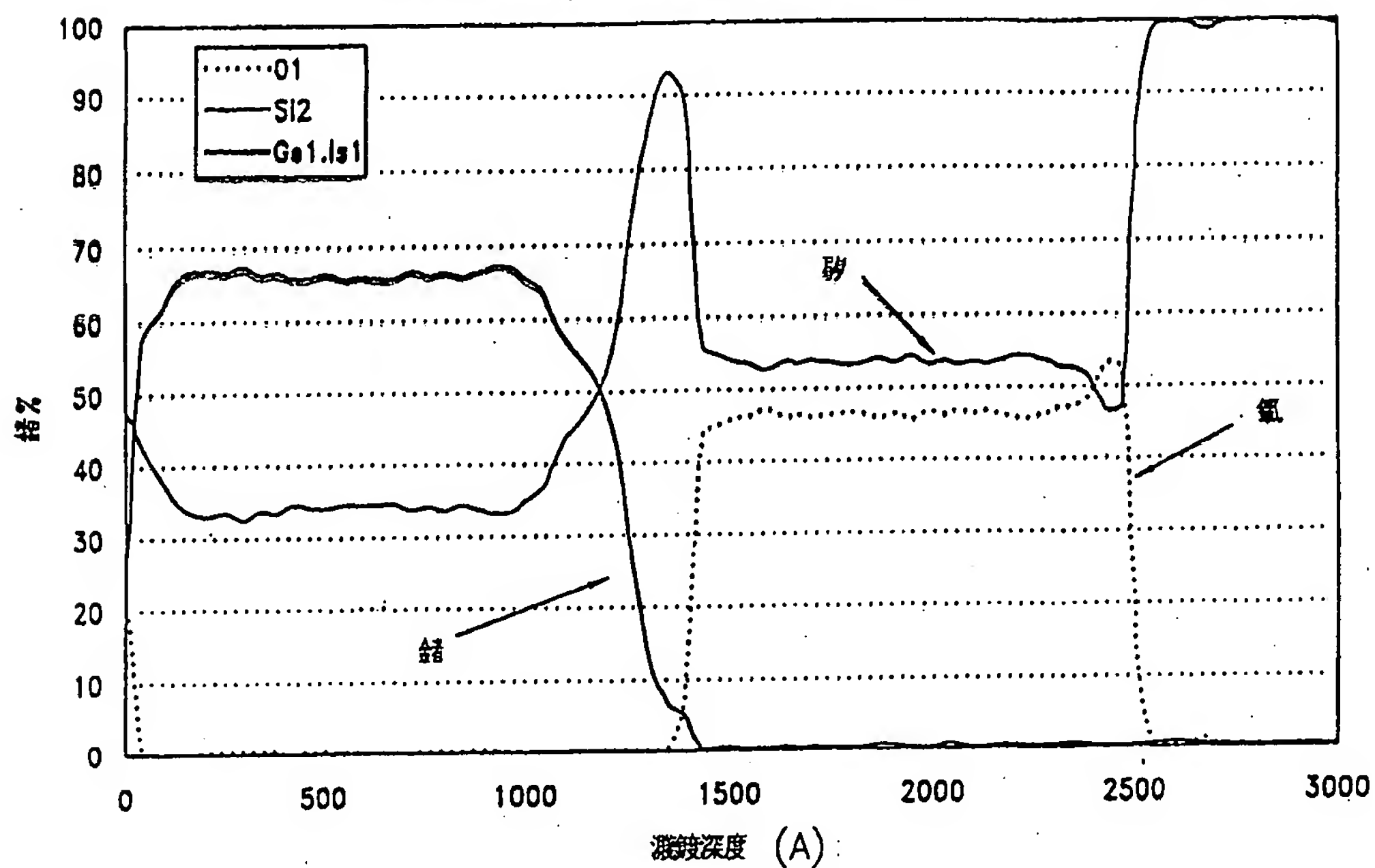


第 6 圖

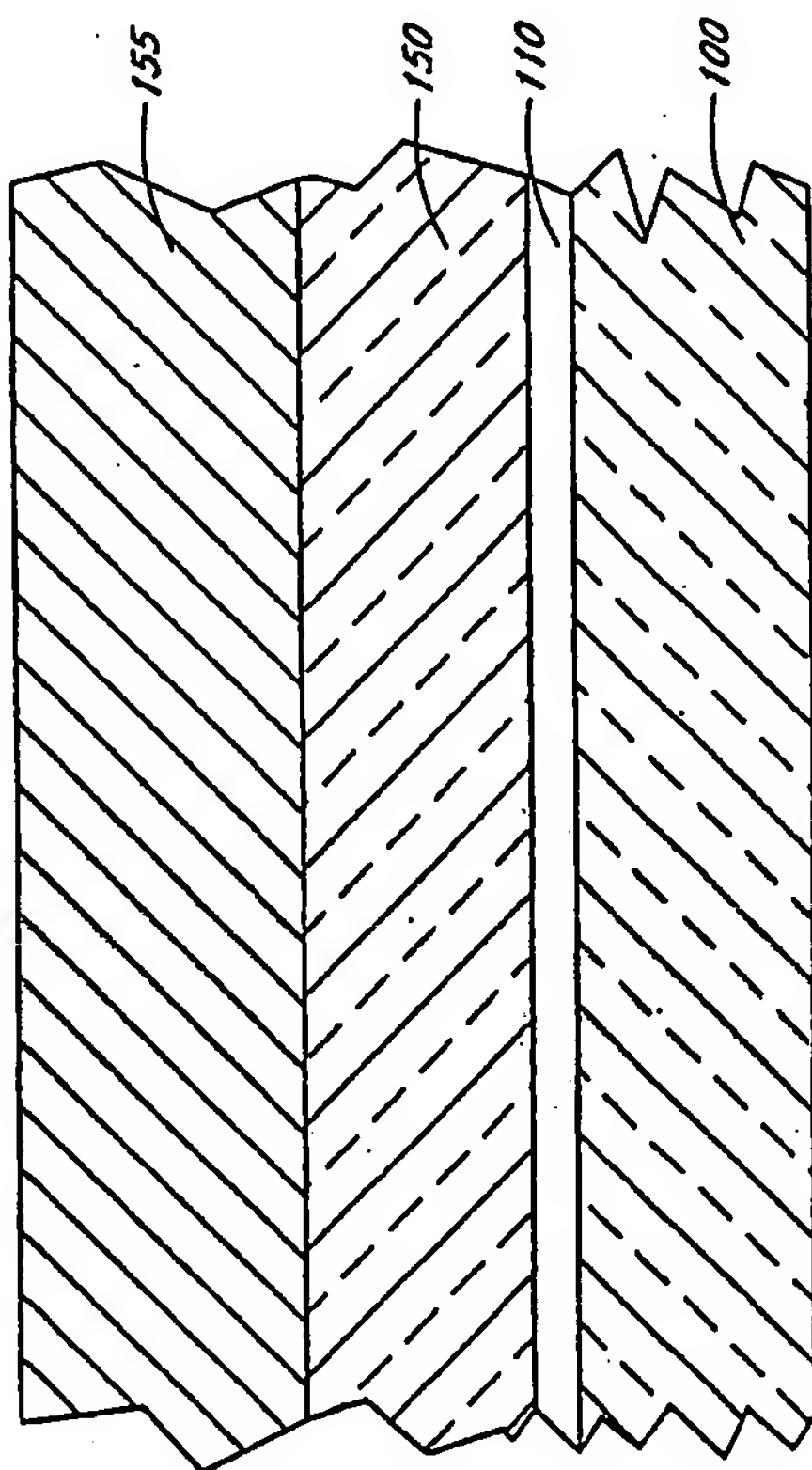


第 7 圖

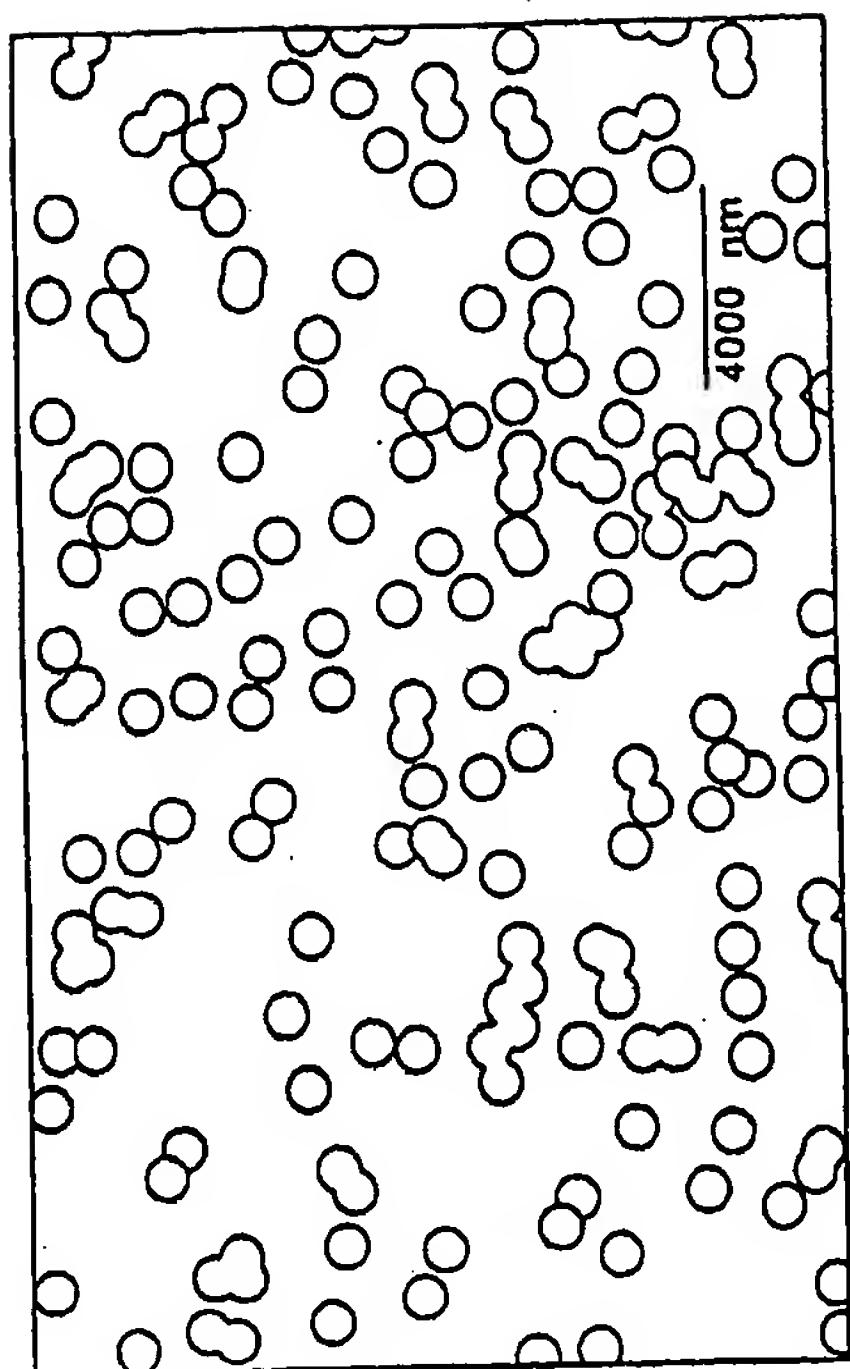
多晶質矽晶種層與其上之連續的多晶矽結層的歐傑分析



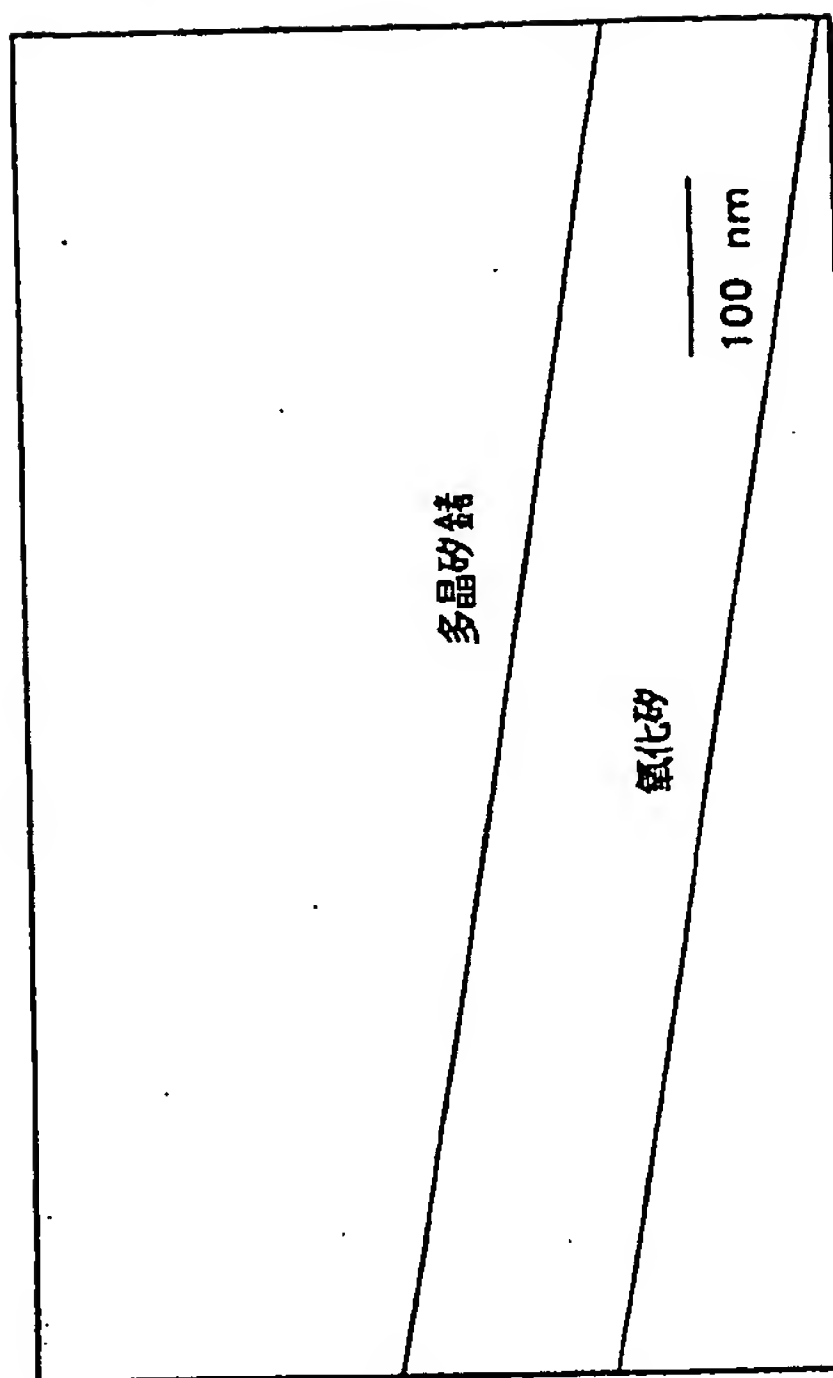
第 9 圖



第 8 圖

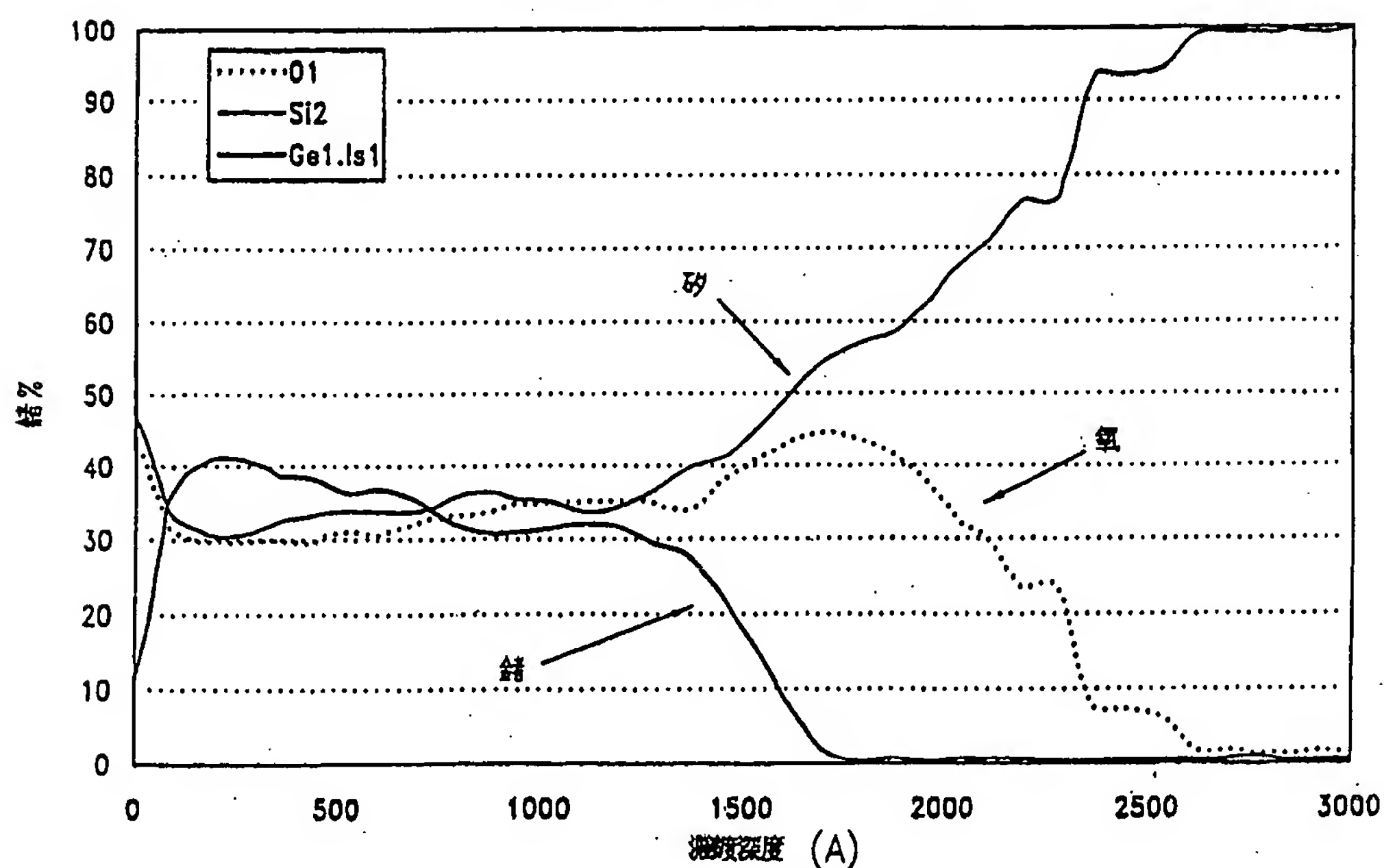


第11圖



第12圖

非晶矽晶種層與其上不連續的多晶矽鍍層的歐傑分析



第10圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.